

Extracción de los Elementos Parásitos de un Circuito Integrado a Partir del Layout

Carlos E. Christoffersen, Luis A. Lahoz, María I. Schiavon

Resumen— En este trabajo describimos la representación de nodos y los algoritmos utilizados para reconocer capacidades y resistencias parásitas en el programa MICRO, que es un extractor de circuitos desarrollado en el Laboratorio de Microelectrónica de la Universidad Nacional de Rosario.

I. INTRODUCCIÓN

Para el reconocimiento de los elementos parásitos del circuito partiremos de las capas del layout y estructuras descritas en [1] y [2]. Trabajaremos con geometría manhattan. Cuando mencionamos a una capa en realidad estamos pensando en todos los elementos que pertenecen a la misma, que en nuestro caso son rectángulos. La siguiente es una lista con los nombres que daremos a cada una de las capas originales del layout que nos interesan:

CNWI: *pozo N*
CTOX: *área activa*
CPOL: *polisilicio*
CNPI: *implante N*
CPPI: *implante P*
CCON: *contacto*
CMEI: *metal1*
CVIA: *contacto metal1-metal2*
CME2: *metal2*

Las capas derivadas luego procesar las anteriores son:

- ACTN:** contiene todos los rectángulos que forman los drain y sources de los transistores MOS, así como también cualquier región activa tipo N que esté sobre el sustrato P, es decir que forme un diodo.
- SUBN:** está formada por las regiones N dentro de un pozo N, es decir que no forman una juntura PN, y que son generalmente utilizadas como contactos al pozo N.
- ACTP:** es análoga a la ACTN pero con regiones P sobre pozo N, que forman diodos y pueden ser drain o source de transistores.
- SUBP:** es análoga a la SUBN pero con regiones P sobre sustrato P, suele utilizarse para hacer contactos a sustrato ya que no se forma un diodo.
- NCHA:** contiene todos los canales de los transistores tipo N del circuito integrado.
- PCHA:** contiene todos los canales de los transistores tipo P.

Carlos E. Christoffersen pertenece al grupo de investigación del Laboratorio de Microelectrónica, Facultad de Cs. Exactas, Ing. y Agrimensura de la Universidad Nacional de Rosario, Av. Pellegrini 250, 2000 Rosario, Argentina. e-mail: cchristo@unromi.edu.ar

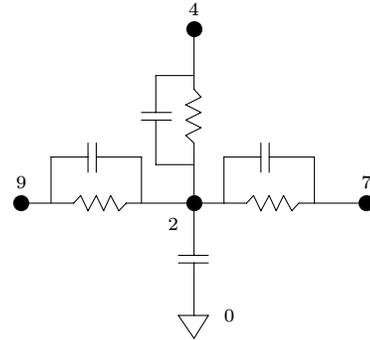


Fig. 1. Cada nodo corresponde a una isla

Los rectángulos de todas estas capas están agrupados en islas. Llamamos *isla* a un conjunto de rectángulos, todos pertenecientes a la misma capa, cuya unión produce una sola figura geométrica. Como consecuencia de esta definición, los rectángulos pertenecientes a una isla están conectados eléctricamente. De esa forma agrupamos por ejemplo a todos los rectángulos que forman el canal de un transistor, o todos los rectángulos que forman una conexión entre dos puntos del circuito, siempre que esta se realice utilizando una sola capa. Además, cada isla contiene información de cómo se relaciona con las demás islas. Otro tipo de isla que consideraremos es la *isla de contactos*. En este caso los contactos que forman una isla son todos los que conectan eléctricamente dos islas normales. Notemos que los contactos de estas islas no forman una sola figura.

II. NODOS

Para aproximar las características eléctricas de los tramos de interconexión entre los transistores del circuito, utilizaremos el esquema de la figura 1. Cada isla perteneciente a una capa que representa físicamente un material (metal, polisilicio, etc.), se considera como una región equipotencial y tiene asociado un nodo en el circuito.

Entre cada par de nodos conectados eléctricamente hay una resistencia que representa la resistencia de los materiales que forman las islas correspondientes a los nodos y la resistencia de contacto entre ellos. También tenemos en cuenta la capacidad de la isla con el sustrato si la hubiera y las capacidades parásitas entre islas, esto lo hacemos colocando un capacitor entre cada par de nodos originados por islas.

Otros nodos que debemos considerar son los correspon-

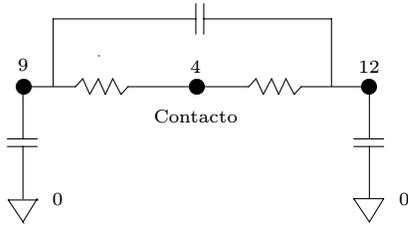


Fig. 2. Nodos formados por contactos

dientes a los contactos que unen las distintas capas. Estos nodos no tienen capacidades asociadas y representan el limite entre las islas que conectan. Finalmente, el esquema definitivo es el de la figura 2.

Pasemos ahora a ver como calculamos los valores de estas resistencias y capacidades.

III. CAPACIDADES

Para el cálculo de las capacidades parásitas disponemos de la capacidad por unidad de área entre las distintas capas del layout, que son los datos proporcionados en las reglas de diseño. Las capacidades que debemos considerar para cada capa son las siguientes:

CME2 : CME1, CPOL, ACTN, SUBN, ACTP, SUBP, sustrato

CME1 : CPOL, ACTN, SUBN, ACTP, SUBP, sustrato

CPOL : SUBN, SUBP, sustrato

Vemos que cuando consideramos islas CME1 no tomamos las capacidades con las islas CME2 porque ya las consideramos al analizar las islas CME2.

Los nodos entre los que están conectados los capacitores son los números correspondientes a las islas que se superponen. Una isla en la capa CME2 dará origen a un capacitor por cada isla de las capas listadas que se superponga con ella. Estos capacitores tendrán un nodo en común, el correspondiente a la isla CME2, y el otro nodo de cada capacitor será el correspondiente a la otra isla.

Solo resta calcular el valor de cada capacidad. Para ello utilizamos la matriz de análisis para calcular el área de superposición entre la isla que consideramos y cada una de las islas relevantes, como veremos a continuación:

Matriz de análisis para capacitores

Tomemos el caso de la figura 3, queremos calcular todas las capacidades que parten del nodo correspondiente a la isla de la capa CME1. Tendremos que calcular los valores de tres capacitores: uno con el sustrato, otro con el polisilicio (CPOL) y otro con la isla de la capa ACTN. Resolver este problema es equivalente a resolver el problema de encontrar el área de superposición entre la isla CME1 y cada una de las demás islas. Para eso, utilizaremos un método parecido al que usamos para determinar las características de transistores [2].

El número de filas y columnas de la matriz se determina en función de los bordes de los rectángulos que forman la

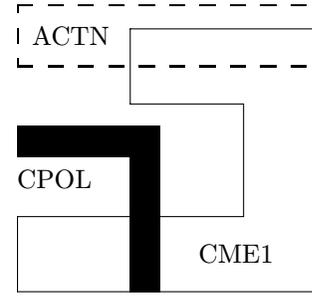


Fig. 3. Tres islas que se superponen

○	○	○	○
■	■	■	■
			■
			■
			■
■	●	■	■

- Capacidad CME1-ACTN
- Capacidad CME1-sustrato
- Capacidad CME1-CPOL

Fig. 4. Representación gráfica de la matriz

isla CME1 y todas las islas relacionadas, y a cada elemento de la matriz le asignamos una parte del área total que ocupa la misma. Para comprender mejor esto último pensemos que la matriz completa representa un rectángulo que contiene todas las islas relacionadas. A ese rectángulo lo subdividimos en rectángulos menores formando una cuadrícula en la que cada línea pasa por el borde de algún rectángulo de los que componen las islas. En la figura 4 se ve la ilustración de la matriz para el caso de la figura 3. Podemos ver que de esta forma cada elemento de la matriz representa una fracción de un solo tipo de capacidad. En los lugares que no hay metal, los elementos de la matriz están vacíos porque allí no hay capacidad. En los demás lugares, hay un elemento distinto por cada tipo de capacidad que se puede formar.

La forma de implementar la matriz en memoria es por medio de un arreglo y dos vectores. El arreglo es la matriz propiamente dicha y tiene las mismas filas y columnas de la matriz, cada elemento contiene la región a la que pertenece. Los vectores son uno para el eje x y el otro para el eje y . El vector del eje x tiene un elemento por columna de la matriz, y cada uno de ellos contiene el ancho de los rectángulos que forman cada columna de la misma. De manera similar, el vector para el eje y contiene las alturas de los rectángulos para cada fila. Cada elemento del arreglo contiene dos campos, uno que indica el tipo de capacidad del elemento, y otro que indica cual es la isla con la que se forma esa capacidad.

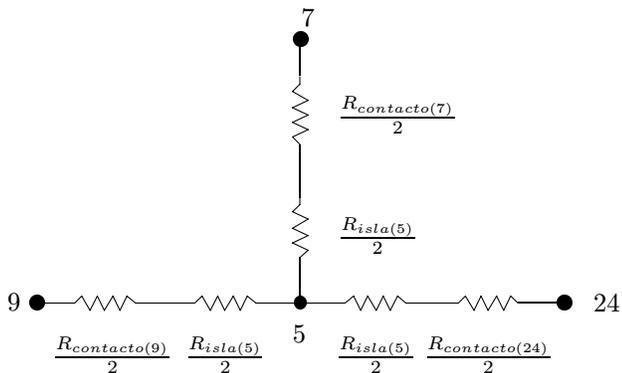


Fig. 5. Resistencias de una isla, los nodos 7, 9 y 24 corresponden a islas de contactos

El procedimiento para construir la matriz es el siguiente:

1. Primero se crean dos vectores con las coordenadas de todos los bordes de los rectángulos que forman el elemento, uno para cada eje del plano.
2. Se ordenan estos vectores de menor a mayor, se eliminan los bordes repetidos, se determina la cantidad de filas y columnas de la matriz y las medidas de los rectángulos que la componen.
3. Para cada rectángulo que pertenece a la isla que consideramos (CME1 en este ejemplo) se asignan los elementos de la matriz que estén cubiertos por ese rectángulo como pertenecientes a la capa de la isla.
4. Finalmente asignamos a los elementos que no hayan quedado vacíos un tipo de capacidad y un número de isla, que es el otro terminal del capacitor.

Teniendo esta matriz, el cálculo de las áreas es muy simple, ya que por no haber superposiciones entre los rectángulos que la forman, la tarea se reduce a sumar las áreas de los rectángulos que forman cada capacitor.

III. RESISTENCIAS

El programa micro realiza el cálculo de las resistencias de contacto y una estimación del peor caso de la resistencia de las islas. Los datos suministrados en las reglas de diseño son las resistencias por contacto y la resistencia por cuadrado de las distintas capas.

Primero veamos entre qué nodos conectamos las resistencias. El modelo que utilizamos es el de la figura 5. El nodo central corresponde a la isla que consideramos, y los otros nodos son los números de las islas de contactos que la conectan con el resto del circuito. En la figura tenemos una isla conectada al resto del circuito por 3 islas de contactos.

El valor de resistencia de cada rama es igual a:

$$R_{rama(i)} = \frac{R_{contacto(i)}}{2} + \frac{R_{isla}}{2}$$

$R_{contacto(i)}$ es el valor de la resistencia de cada isla de contactos i que conecta la isla con el resto del circuito. Este valor se calcula para cada isla de contactos dividiendo la resistencia de un contacto (del tipo apropiado) por el

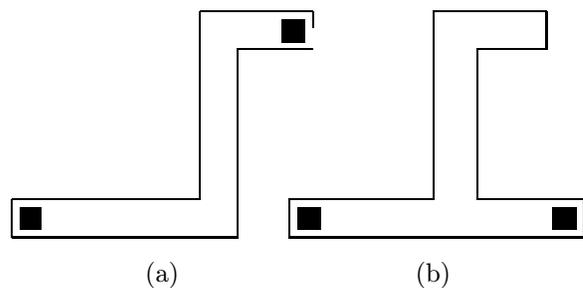


Fig. 6. Islas de distintas formas

número de contactos pertenecientes a la isla de contactos. Tomamos la mitad de esa resistencia a cada lado del nodo que forma la isla de contactos.

Para determinar R_{isla} calculamos el área y el perímetro de la isla en cuestión y hallamos el rectángulo equivalente que tiene esos mismos valores. Resolviendo la ecuación cuadrática nos queda que:

$$l = \frac{P}{4} + \sqrt{\frac{P^2}{16} - A}$$

$$w = \frac{P - 2l}{2}$$

En estas ecuaciones, P es el perímetro, A es el área, l es el lado mayor del rectángulo y w es el menor. Tomamos como R_{isla} al valor de la resistencia del rectángulo de largo l y ancho w . Esta aproximación es buena para el caso de una tira como en la figura 6a. Para casos como la figura 6b, el valor obtenido es una estimación pesimista del valor real.

IV. DIODOS

Los diodos están formados por las junturas originadas por los pozos N sobre sustrato P, los implantes N en el sustrato y los implantes P en pozo N. Estos dos últimos tipos de diodo solo deben considerarse si los las islas originadas por esos implantes (capas ACTN y ACTP) no son parte de transistores, ya que en el modelo de transistor de SPICE ya se tienen en cuenta.

Por lo anterior, para evitar considerar dos veces los mismos diodos, la extracción de los mismos comienza una vez finalizada la de los transistores [2]. Así, todas las islas ACTN y ACTP que son parte de transistores han sido marcadas y solo se consideran las restantes.

Los nodos a los que está conectado un diodo son los números de isla que lo forman, por ejemplo un diodo entre implante P y pozo N estará conectado a los nodos con los números de las islas ACTP y CNWI correspondientes.

En este caso necesitamos encontrar solo un parámetro adicional que es el área del diodo. Utilizamos para ello un método similar a la matriz de análisis para transistores.

V. BÚSQUEDA DE LOS ELEMENTOS DEL CIRCUITO

Vimos como podemos extraer los distintos elementos del circuito partiendo de islas de determinadas capas. Para

encontrar las islas lo que hacemos es recorrer el árbol que contiene las islas (en este caso se recorre en-orden). Cuando visitamos un nodo, analizamos la capa a la que pertenece la isla correspondiente y extraemos los elementos del circuito asociados a ella.

Para finalizar comentemos que las rutinas de extracción de capacidades y resistencias del programa MICRO comparan los valores obtenidos con valores mínimos. Si una capacidad es menor que el mínimo, es descartada. Lo mismo ocurre para las resistencias. De esta forma, el circuito final es mucho más simple, ya que se reduce el número de nodos y elementos.

REFERENCIAS

- [1] **Carlos E. Christoffersen**: *Programa Extractor de Circuitos MICRO Version 0.5*, Publicación Interna, Laboratorio de Microelectrónica de la Universidad Nacional de Rosario.
- [2] **Carlos E. Christoffersen, Luis A. Lahoz, María I. Schiavon**: *Detección de los transistores de un circuito integrado a partir del layout* III Jornadas de Investigación del Grupo de Montevideo, Septiembre de 1995.
- [3] **Paul de Dood, Robert Suaya, John Wawrzynek**: *Topology Extraction with Octagonal Geometry*
- [4] **Mark Horowitz and Robert W. Dutton**: *Resistance Extraction from Mask Layout Data*, IEEE Transactions on Computer-Aided Design, VOL. CAD-2, NO. 3, July 1983.
- [5] **Bill Lin and Richard Newton**: *A Circuit Disassembly Technique for Synthesizing Symbolic Layouts from Mask Descriptions*, IEEE Transactions on Computer-Aided Design, VOL. 9 NO. 9, September 1990.
- [6] **Marcos Augusto Stemmer**: *Extrihbo—Um Extrator Hierárquico de Circuitos*, V Seminário Interno de Microeletrónica, Anais, Grupo de Microeletrónica, Universidade Federal do Rio Grande do Sul, 1989.
- [7] **Gilberto Marchioro, Luigi Carro**: *Implementação de um Editor Simbólico Para Circuitos Integrados*, V Seminário Interno de Microeletrónica, Anais, Grupo de Microeletrónica, Universidade Federal do Rio Grande do Sul, 1989.
- [8] **Carver Mead, Lynn Conway**: *Introduction to VLSI Systems*, Addison-Wesley Publishing Company, 1980.
- [9] **Geoffrey D. Ullman**: *Computational Aspects of VLSI*, Stanford University, Computer Science Press, Inc., 1984.
- [10] **Neil Weste, Kamran Eshraghian**: *Principles of CMOS VLSI Design*, Addison-Wesley Publishing Company, 1986.
- [11] **Aaron M. Tenenbaum, Yedidyah Langsam, Moshe J. Augenstein**: *Data Structures Using C*, Prentice-Hall International Editions, 1990.
- [12] **MicroSim Corporation**: *PSpice User's Manual*, 1986.
- [13] **A. Vladimirescu, Kaihe Zhang, A. R. Newton, D. O. Pederson, A. Sangiovanni-Vincentelli**: *SPICE Version 2G User's Guide*, Department of Electrical Engineering and Computer Sciences, University of California, 1981.
- [14] **Walter Scott**: *Magic Tutorial #8: Circuit Extraction*, Special Studies Program Lawrence Livermore National Laboratory, PO Box 808, L-270, Livermore, CA 94550, wss@mordor.sl.gov
- [15] **Tanner Research, Inc.**: *Layout Extractor Manual. PC version 1.00*, 1992.